

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11238855 A**(43) Date of publication of application: **31.08.99**

(51) Int. Cl.

**H01L 27/10**  
**H01L 27/108**  
**H01L 21/8242**  
**H01L 21/8247**  
**H01L 29/788**  
**H01L 29/792**

(21) Application number: **10037719**(22) Date of filing: **19.02.98**(71) Applicant: **FUJITSU LTD**

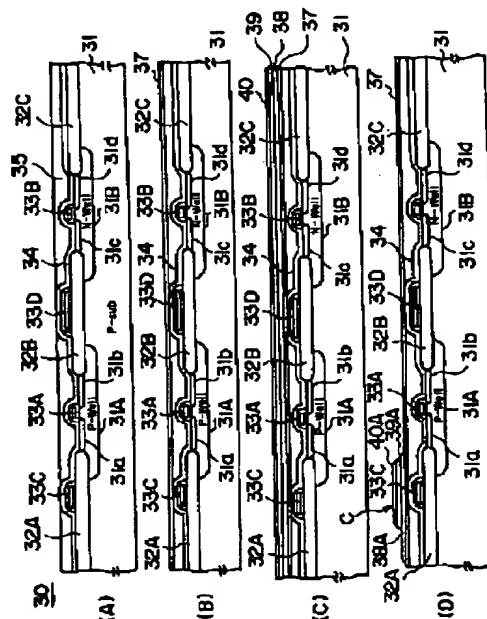
(72) Inventor: **KISHII SADAHIRO**  
**SAJITA NAOYA**  
**MIYAZAWA HISASHI**

**(54) SEMICONDUCTOR DEVICE AND  
 MANUFACTURE THEREOF**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To avoid the generation of an augmentation in a contact resistance and augmentation in a leakage current or the generation of a crack in contact holes, which is accompanied by the formation of an oxide film, in a semiconductor device, by a method wherein the contact holes are formed later than a crystallization process for a ferroelectric film or a high dielectric constant film.

**SOLUTION:** A Pt film 28, a PZT film 39 and a PA film 40 are patterned to form a capacitor C, which consists of a low electrode 38A, a ferroelectric film 39A and an upper electrode 40A, on an insulating film 37. Moreover, the capacitor C is heat-treated for one hour or thereabouts at about 800°C in an oxidizing atmosphere and the film 39A is crystallized. Then, another CVD insulating film 41 is deposited on the film 37 in such a way as to cover the capacitor C and moreover, a contact hole 41E which corresponds to a contact hole 21E and makes the electrode 40A of the capacitor C expose, and a contact hole 41G which corresponds to a contact hole 21G and makes the electrode 38A expose, are formed in the film 41. As a result, the generation of an augmentation in a contact resistance and an augmentation in a leakage current or the generation of a crack in the contact holes in a semiconductor device are avoided.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 3 8 8 5 5

(43) 公開日 平成 1 1 年 ( 1 9 9 9 ) 8 月 3 1 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/10	451		H01L 27/10	451
27/108				651
21/8242			29/78	371
21/8247				
29/788				

審査請求 未請求 請求項の数 1 0 O L (全 1 2 頁) 最終頁に続く

(21) 出願番号 特願平 1 0 - 3 7 7 1 9

(22) 出願日 平成 1 0 年 ( 1 9 9 8 ) 2 月 1 9 日

(71) 出願人 0 0 0 0 0 5 2 2 3

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号

(72) 発明者 岸井 貞浩

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72) 発明者 佐次田 直也

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72) 発明者 宮沢 久

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

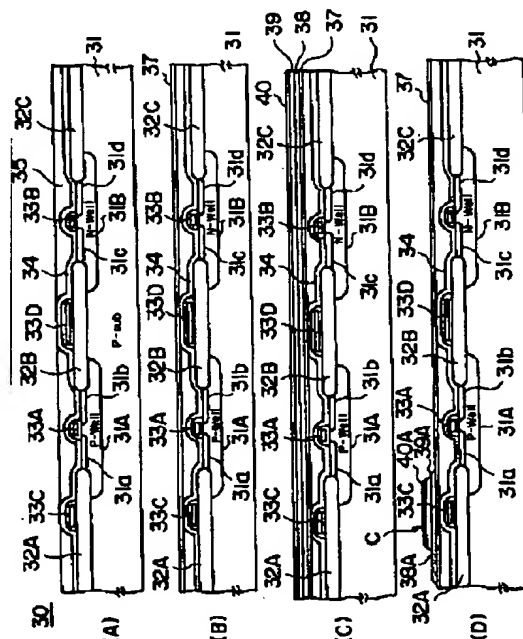
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 強誘電体膜を含む半導体装置において、強誘電体膜の結晶化の際の酸化雰囲気中における高温熱処理による導体パターンの劣化を回避し、また多層配線構造を形成する場合に金属層の堆積に伴い生じる強誘電体膜の劣化を回避する。

【解決手段】 導体プラグの形成を強誘電体膜の酸化雰囲気中での高温熱処理の後に行い、多層配線構造を、めっき工程により行う。

(A) ~ (D) は、本発明の第 1 実施例による  
F e R A M の製造工程を示す図 ( その 1 )



## 【特許請求の範囲】

【請求項 1】 基板上に活性素子を形成する工程と、前記基板上に、前記活性素子を覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜上に強誘電体膜または高誘電体膜を形成する工程と、前記強誘電体膜または高誘電体膜を、酸素雰囲気中の熱処理により結晶化する工程と、前記層間絶縁膜中にコンタクトホールを形成する工程と、前記コンタクトホールを埋める導体プラグを形成する工程とを含む半導体装置の製造方法において、前記コンタクトホールは、前記強誘電体膜または高誘電体膜の結晶化工程よりも後に形成されることを特徴とする半導体装置の製造方法。

【請求項 2】 さらに、前記層間絶縁膜と前記強誘電体膜または高誘電体膜との間に下部電極層を堆積する工程と、前記強誘電体膜または高誘電体膜上に上部電極層を堆積する工程とを含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記強誘電体膜または高誘電体膜を形成する工程は、さらに前記下部電極層、前記強誘電体膜または高誘電体膜および前記上部電極層をパターンニングしてキャパシタを形成する工程を含むことを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記導体プラグを形成する工程は、金属のめっきにより形成することを特徴とする請求項 1 ～ 3 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 5】 さらに、前記キャパシタを覆うように別の層間絶縁膜を形成する工程と、前記別の層間絶縁膜中に開口部を形成する工程と、前記開口部を導体のめっきにより埋める工程とを含むことを特徴とする請求項 1 ～ 4 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 6】 前記開口部を導体のめっきにより埋める工程は、前記別の層間絶縁膜上に、前記開口部を覆うように、前記開口部の形状に対応した形状の電極膜を形成する工程と、前記電極膜上に導体層をめっきにより、前記開口部を埋めるように形成する工程と、前記電極膜上の導体層を、研磨により除去する工程とを含み、前記研磨は前記電極膜が研磨ストッパとなるような条件で実行されることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 さらに前記層間絶縁膜を研磨により平坦化する工程を含むことを特徴とする請求項 1 ～ 4 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 8】 強誘電体膜または高誘電体膜を含む半導体装置の製造方法において、基板上に強誘電体膜または高誘電体膜を形成する工程と、前記強誘電体膜または高誘電体膜を、酸化雰囲気中において熱処理し、結晶化する工程と、前記結晶化工程の後、前記強誘電体膜または高誘電体膜を覆うように、前記基板上に層間絶縁膜を堆積する工程

と、

前記層間絶縁膜中に開口部を形成する工程と、前記開口部を埋めるように、導体層を金属のめっきにより形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 9】 基板と、

前記基板上に形成された活性素子と、

前記基板上に形成された強誘電体膜または高誘電体膜と、

10 前記基板上に、前記強誘電体膜または高誘電体膜を覆うように形成された層間絶縁膜と、前記層間絶縁膜中に形成された開口部と、前記開口部を埋める Cu パターンとを含むことを特徴とする半導体装置。

【請求項 10】 基板と、

前記基板上に形成された活性素子と、

前記活性素子を覆う層間絶縁膜と、

前記層間絶縁膜上に形成された、強誘電体膜または高誘電体膜を含むキャパシタと、

20 前記層間絶縁膜上に、前記キャパシタを覆うように形成された絶縁膜と、前記絶縁膜中に、その下の前記層間絶縁膜を貫通して形成され、前記活性素子の一部を露出する開口部と、前記開口部を、その下端から上端まで埋める導体プラグとよりなる半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体装置に関し、特に強誘電体膜あるいは高誘電体膜を使った半導体装置の製造に関する。PZT (Pb (Zr, Ti), O<sub>2</sub>) や SBT (SrBi<sub>2</sub>TaO<sub>7</sub>) 等の強誘電体は自発分極を有することを特徴とし、半導体装置、特にキャパシタに情報を蓄積する不揮発性半導体メモリ装置 (FeRAM) への応用について、多くの研究がなされている。また、SBT や STO 等の高誘電体は高い誘電率を特徴とし、揮発性半導体メモリ装置 (DRAM) への応用が研究されている。特に FeRAM は高速で、また構成が簡単であり、さらに光ディスク装置やハードディスク装置に比べて小型かつ堅牢であるため、コンピュータの主記憶装置のほか、メモリーカード等の携帯型コンピュータの記憶装置への応用が期待されている。

【0002】これらの強誘電体材料は従来の DRAM で使われていたシリコン酸化物 (SiO<sub>2</sub>) あるいはシリコン窒化物 (SiN) と異なり、典型的にはペロフスカイト型結晶構造を有する複酸化物であり、従来の SiO<sub>2</sub> 膜あるいは SiN 膜を形成する工程とは異なった工程で形成する必要がある。

【0003】

50 【従来の技術】図 10 は強誘電体に特徴的な自発分極の

ヒステリシス特性を示す。図 1 0 を参照するに、電圧値を増大させる場合と減少させる場合とで、強誘電体膜の分極は異なったカーブに従って変化し、電圧値がゼロの場合に + c あるいは - c の自発分極を示す。そこで、強誘電体を半導体メモリ装置のメモリセルキャパシタに使用した場合、自発分極 + c と自発分極 - c との間の差  $Q_p$  が大きければ大きいほど、たとえメモリセルキャパシタが非常に微細化されていても、情報の保持が効果的かつ確実になされる。かかる大きなヒステリシス特性を実現するには、強誘電体を酸化雰囲気中、高温で熱処理し、

【0004】図 1 1 (A) ~ (D)、図 1 2 (E) ~ (G)、図 1 3 (H) ~ (K) および図 1 4 (L) ~ (N) は、従来の FeRAM 1 0 の製造工程を示す。図 1 1 (A) を参照するに、FeRAM 1 0 は P 型 Si 基板 1 1 と、前記 Si 基板 1 1 上に形成され、前記 Si 基板 1 1 の表面上において活性領域を画成するフィールド酸化膜 1 2 A ~ 1 2 C と、前記活性領域に対応して形成される P 型ウェル 1 1 A および N 型ウェル 1 1 B と、前記 P 型ウェル 1 1 A および N 型ウェル 1 1 B のそれぞれの表面に形成され、各々側壁絶縁膜を形成された W あるいはポリシリコンよりなるゲート電極 1 3 A および 1 3 B と、前記 P 型ウェル 1 1 A 中、前記ゲート電極 1 3 A の両側に形成された n 型の拡散領域 1 1 a および 1 1 b と、前記 N 型ウェル 1 1 B 中、前記ゲート電極 1 3 B の両側に形成された p 型の拡散領域 1 1 c および 1 1 d とを含み、前記フィールド酸化膜 1 2 A 上には、他のメモリセルのゲート電極に連続するワード線パターン 1 3 C が延在する。同様に、前記フィールド酸化膜 1 2 B 上には、他のメモリセルのゲート電極に連続する別のワード線パターン 1 3 D が延在する。前記ゲート電極 1 3 A および 1 3 B は、それぞれ P 型ウェル 1 1 A の表面および N 型ウェル 1 1 B の表面との間に、図示しないゲート酸化膜を有する。

【0005】さらに、前記ゲート電極 1 3 A、1 3 B およびワード線パターン 1 3 C、1 3 D は CVD 酸化膜 1 4 により覆われ、さらに前記 CVD 酸化膜 1 4 上には平坦化された表面を有する層間絶縁膜 1 5 が形成される。次に、図 1 1 (B) の工程で、前記層間絶縁膜 1 5 およびその下の CVD 酸化膜 1 4 を貫通して、それぞれ拡散領域 1 1 a、1 1 b、1 1 c および 1 1 d を露出するコンタクトホール 1 5 A、1 5 B、1 5 C および 1 5 D が形成され、図 1 1 (C) の工程で、前記層間絶縁膜 1 5 上に、前記コンタクトホール 1 5 A、1 5 B、1 5 C および 1 5 D を埋めるように、W 層 1 6 が形成される。さらに、図 1 1 (D) の工程で、前記 W 層 1 6 を CMP (化学機械研磨) 等により前記層間絶縁膜 1 5 の表面から除去し、前記コンタクトホール 1 5 A ~ 1 5 D をそれぞれ埋める W プラグ 1 6 A ~ 1 6 D が形成される。前記 W プラグ 1 6 A ~ 1 6 D は、前記コンタクトホール 1 5

A ~ 1 5 D を介して前記拡散領域 1 1 a ~ 1 1 d にそれぞれコンタクトする。また、図 1 1 (B) の工程では前記層間絶縁膜 1 5 中に前記ワード線 1 3 D を露出する浅いコンタクトホール 1 5 E が形成され、図 1 1 (D) の工程において、前記コンタクトホール 1 5 E を埋める導体プラグ 1 6 E が形成される。

【0006】次に、図 1 2 (E) の工程で、前記層間絶縁膜 1 5 上に絶縁膜 1 7 を SiN 膜および SiO<sub>2</sub> 膜を順次堆積することにより形成し、さらに図 1 2 (F) の工程で、前記絶縁膜 1 7 上に Pt 膜 1 8、PZT 膜 1 9 および Pt 膜 2 0 を順次堆積する。さらに、図 1 2 (G) の工程で前記 Pt 膜 1 8、PZT 膜 1 9 および Pt 膜 2 0 をパターニングすることにより、下部電極 1 8 A、強誘電体膜 1 9 A および上部電極 2 0 A よりなるキャパシタ C を前記絶縁膜 1 7 上に形成する。ただし、前記下部電極 1 8 A は Pt 膜 1 8 のパターニングにより形成され、前記強誘電体膜 1 9 A は前記 PZT 膜 1 9 のパターニングにより形成され、さらに前記上部電極 2 0 A は Pt 膜 2 0 のパターニングにより形成される。図 1 2 (G) の構造は、前記強誘電体膜 1 9 A の結晶化のため、酸化雰囲気中 8 0 0 ° C において約 1 時間熱処理される。

【0007】次に、図 1 3 (H) の工程において、前記絶縁膜 1 7 上に前記キャパシタ C を覆うように別の CVD 絶縁膜 2 1 を堆積し、さらに図 1 3 (I) の工程において前記 CVD 絶縁膜 2 1 中に、前記 W プラグ 1 6 A ~ 1 6 D に対応したコンタクトホール 2 1 A ~ 2 1 D を形成する。さらに図 1 3 (I) の工程では、前記 CVD 絶縁膜 2 1 中に、前記キャパシタ C の上部電極 2 0 A および下部電極 1 8 A をそれぞれ露出するコンタクトホール 2 1 E および 2 1 G、さらに前記ワード線 1 3 D 上の W プラグ 1 6 E を露出するコンタクトホール 2 1 F が形成され、さらに図 1 3 (J) の工程において、前記コンタクトホール 2 1 A ~ 2 1 G に対応して、前記 CVD 絶縁膜 2 1 上に TiN パターン 2 2 A ~ 2 2 D、2 2 F ~ 2 2 G が形成される。ただし、図示の例では、TiN パターン 2 2 A は前記キャパシタ C の上部電極 2 0 A と導体プラグ 1 6 A とを結ぶローカル配線を形成する。

【0008】さらに、図 1 3 (K) の工程において前記 CVD 絶縁膜 2 1 上に前記 TiN パターン 2 2 A ~ 2 2 G を覆うように別の層間絶縁膜 2 3 を堆積し、図 1 4 (L) の工程で前記層間絶縁膜 2 3 に前記 TiN パターン 2 2 B ~ 2 2 D および 2 2 F ~ 2 2 G を露出するコンタクトホール 2 3 B ~ 2 3 D および 2 3 F ~ 2 3 G を形成する。さらに図 1 4 (M) の工程において、前記層間絶縁膜 2 3 上に前記コンタクトホール 2 3 B ~ 2 3 D および 2 3 E ~ 2 3 G において前記 TiN パターン 2 2 B ~ 2 2 D および 2 2 D ~ 2 2 G とコンタクトするように A1 配線パターン 2 4 B ~ 2 4 D および 2 4 F ~ 2 4 G をそれぞれ形成し、さらに図 1 4 (N) の工程で、前記

層間絶縁膜23上に前記A1配線パターン24B~24Dおよび24F~24Gを覆うようにさらに別の層間絶縁膜25を形成する。

【0009】

【発明が解決しようとする課題】図11(A)~図14(N)のFeRAM10の製造工程では、前記キャパシタCの強誘電体膜19Aが図10に示すような $Q_{11}$ 値の大きいヒステリシス特性を有するように、特に図12(F)あるいは図12(G)の工程において、前記PZT膜19を酸化雰囲気中、800°C程度の高温で1時間程度熱処理して結晶化を促進する工程が必要である。しかし、このような酸素雰囲気中における高温熱処理は、すでに形成されているWプラグ16A~16Dあるいは16Eの特に底部においてコンタクト抵抗を増大させる効果があり、望ましくない。この問題は前記絶縁膜17に酸素を遮断するためにSiN層を含めても、十分に抑制できない。

【0010】図15は、図11(A)~図14(N)の工程で製造されたFeRAM10について、図12

(G)の工程において酸素雰囲気中800°Cで熱処理を行った場合のP-チャネルMOSトランジスタのソースドレイン間におけるコンタクト抵抗およびN-チャネルMOSトランジスタのソースドレイン間におけるコンタクト抵抗の時間依存性を示す。図中、横軸は秒で表した時間を、また縦軸は熱処理を行わなかった場合のFeRAMのソースドレインコンタクト抵抗に対するソースドレインコンタクト抵抗の比率を示している。

【0011】図15を参照するに、FeRAM10を構成するp-チャネルMOSトランジスタおよびn-チャネルMOSトランジスタ共、熱処理時間と共にコンタクト抵抗はいったん減少するが、その後増大に転じ、その後は時間と共に増加しつづけることがわかる。また、従来のFeRAM10では、かかる熱処理の結果、メカニズムは現在のところ十分に解明されていないが、リーク電流が増大する傾向が観察されている。さらに、かかる酸素雰囲気中における高温熱処理の結果、Wプラグ16A~16Eの表面が酸化により膨張し、絶縁膜17あるいは21にひび割れが生じる問題が観察されている。

【0012】そこで、本発明は従来の課題を解決した新規で有用な半導体装置の製造方法を提供することを概括的課題とする。本発明のより具体的な課題は、強誘電体層を含む半導体装置の製造において、前記強誘電体層の結晶化を促進すべく酸素雰囲気中で高温熱処理を行った場合にもコンタクト抵抗の増大あるいはリーク電流の増大の問題を回避できる製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明は、上記の課題を、請求項1に記載したように、基板上に活性素子を形成する工程と、前記基板上に、前記活性素子を覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜上に強

誘電体膜または高誘電体膜を形成する工程と、前記強誘電体膜または高誘電体膜を、酸素雰囲気中の熱処理により結晶化する工程と、前記層間絶縁膜中にコンタクトホールを形成する工程と、前記コンタクトホールを埋める導体プラグを形成する工程とを含む半導体装置の製造方法において、前記コンタクトホールは、前記強誘電体膜または高誘電体膜の結晶化工程よりも後に形成されることを特徴とする半導体装置の製造方法により、または請求項2に記載したように、さらに、前記層間絶縁膜と前記強誘電体膜または高誘電体膜との間に下部電極層を堆積する工程と、前記強誘電体膜または高誘電体膜上に上部電極層を堆積する工程とを含むことを特徴とする請求項1記載の半導体装置の製造方法により、または請求項3に記載したように、前記強誘電体膜または高誘電体膜を形成する工程は、さらに前記下部電極層、前記強誘電体膜または高誘電体膜および前記上部電極層をパターンニングしてキャパシタを形成する工程を含むことを特徴とする請求項2記載の半導体装置の製造方法により、または請求項4に記載したように、前記導体プラグを形成する工程は、金属のめっきにより形成することを特徴とする請求項1~3のうち、いずれか一項記載の半導体装置の製造方法により、または請求項5に記載したように、さらに、前記キャパシタを覆うように別の層間絶縁膜を形成する工程と、前記別の層間絶縁膜中に開口部を形成する工程と、前記開口部を導体のめっきにより埋める工程とを含むことを特徴とする請求項1~4のうち、いずれか一項記載の半導体装置の製造方法により、または請求項6に記載したように、前記開口部を導体のめっきにより埋める工程は、前記別の層間絶縁膜上に、前記開口部を覆うように、前記開口部の形状に対応した形状の電極膜を形成する工程と、前記電極膜上に導体層をめっきにより、前記開口部を埋めるように形成する工程と、前記電極膜上の導体層を、研磨により除去する工程とを含み、前記研磨は前記電極膜が研磨ストップとなるような条件で実行されることを特徴とする請求項5記載の半導体装置の製造方法により、または請求項7に記載したように、さらに前記層間絶縁膜を研磨により平坦化する工程を含むことを特徴とする請求項1~4のうち、いずれか一項記載の半導体装置の製造方法により、または請求項8に記載したように、強誘電体膜または高誘電体膜を含む半導体装置の製造方法において、基板上に強誘電体膜または高誘電体膜を形成する工程と、前記強誘電体膜または高誘電体膜を、酸化雰囲気中において熱処理し、結晶化する工程と、前記結晶化工程の後、前記強誘電体膜または高誘電体膜を覆うように、前記基板上に層間絶縁膜を堆積する工程と、前記層間絶縁膜中に開口部を形成する工程と、前記開口部を埋めるように、導体層を金属のめっきにより形成する工程とを含むことを特徴とする半導体装置の製造方法により、または請求項9に記載したように、基板と、前記基板上に形成された活性素子

と、前記基板上に形成された強誘電体膜または高誘電体膜と、前記基板上に、前記強誘電体膜または高誘電体膜を覆うように形成された層間絶縁膜と、前記層間絶縁膜中に形成された開口部と、前記開口部を埋めるCuパターンとを含むことを特徴とする半導体装置により、または請求項10に記載したように、基板と、前記基板上に形成された活性素子と、前記活性素子を覆う層間絶縁膜と、前記層間絶縁膜上に形成された、強誘電体膜または高誘電体膜を含むキャパシタと、前記層間絶縁膜上に、前記キャパシタを覆うように形成された絶縁膜と、前記絶縁膜中に、その下の前記層間絶縁膜を貫通して形成され、前記活性素子の一部を露出する開口部と、前記開口部を、その下端から上端まで埋める導体プラグとよりなる半導体装置により、解決する。

【作用】本発明の第1の特徴によれば、前記コンタクトホールを酸化雰囲気中高温で行われる強誘電体膜の結晶化工程の後で形成することにより、前記コンタクトホールを埋める金属が酸化されることがなく、コンタクト抵抗の増大やリーク電流の増大、あるいは酸化物形成に伴うコンタクトホールを覆う絶縁膜のクラックの問題が回避される。

【0014】本発明の第2の特徴によれば、前記コンタクトホールを埋める金属プラグ、あるいは層間絶縁膜中の開口部を埋める金属パターンを、従来の気相堆積工程ではなくめっき工程により形成することにより、形成された強誘電体膜が還元雰囲気さらされることがなく、強誘電体膜の特性の劣化が回避される。

【0015】

【発明の実施の形態】〔第1実施例〕図1(A)～(D)、図2(E)～(G)、図3(H)～(K)図4(L)～(N)、図5(O)～(Q)および図6(R)、(S)は、本発明の第1実施例によるFeRAM30の製造工程を示す。

【0016】図1(A)を参照するに、FeRAM30はP型Si基板31と、前記Si基板31上に形成され、前記Si基板31の表面上において活性領域を画成するフィールド酸化膜32A～32Cと、前記活性領域に対応して形成されるP型ウェル31AおよびN型ウェル31Bと、前記P型ウェル31AおよびN型ウェル31Bのそれぞれの表面に形成され、各々側壁絶縁膜を形成されたWあるいはポリシリコンよりなるゲート電極33Aおよび33Bと、前記P型ウェル31A中、前記ゲート電極33Aの両側に形成されたn型の拡散領域31aおよび31bと、前記N型ウェル31B中、前記ゲート電極33Bの両側に形成されたp型の拡散領域31cおよび31dとを含み、前記フィールド酸化膜32A上には、他のメモリスルのゲート電極に連続するワード線パターン33Cが延在する。同様に、前記フィールド酸化膜32B上には、他のメモリスルのゲート電極に連続する別のワード線パターン33Dが延在する。前記ゲ

ート電極33Aおよび33Bは、それぞれP型ウェル31Aの表面およびN型ウェル31Bの表面との間に、図示しないゲート酸化膜を有する。

【0017】さらに、前記ゲート電極33A、33Bおよびワード線パターン33C、33DはCVD酸化膜34により覆われ、さらに前記CVD酸化膜34上には平坦化された表面を有する層間絶縁膜35が形成される。次に、図1(B)の工程で、前記層間絶縁膜35上に図12(E)の絶縁膜17に対応する絶縁膜37をSiN膜およびSiO<sub>2</sub>膜を順次堆積することにより形成し、さらに図1(C)の工程で、前記絶縁膜37上にPt膜38、PZT膜あるいはSTO膜39およびPt膜40を順次堆積する。さらに、図1(D)の工程で前記Pt膜38、PZT膜39およびPt膜40をパターニングすることにより、下部電極38A、強誘電体膜39Aおよび上部電極40AよりなるキャパシタCを前記絶縁膜37上に形成する。ただし、前記下部電極38AはPt膜38のパターニングにより形成され、前記強誘電体膜39Aは前記PZTあるいはSBT膜39のパターニングにより形成され、さらに前記上部電極40AはPt膜40のパターニングにより形成される。

【0018】図1(D)の構造は、さらに酸化雰囲気中約800°Cにおいて1時間程度熱処理され、前記強誘電体膜39Aが結晶化される。前記酸化雰囲気中の高温熱処理は、図1(C)の段階で行ってもよい。次に、図2(E)の工程において、前記絶縁膜37上に前記キャパシタCを覆うように別のCVD絶縁膜41を堆積し、さらに図2(F)の工程において前記CVD絶縁膜41中に、図13(I)のコンタクトホール21Eに対応し前記キャパシタCの上部電極40Aを露出するコンタクトホール41Eおよび図13(H)のコンタクトホール21Gに対応し前記下部電極18Aを露出するコンタクトホール41Gが形成される。さらに図2(G)の工程において、前記コンタクトホール41Eおよび41Gに対応して、前記CVD絶縁膜41上にTiNパターン42Eおよび42Gをそれぞれ形成する。

【0019】本実施例では、さらに図3(H)の工程において、絶縁層41、37、35および34を順次貫通して拡散領域31a、31b、31cおよび31dをそれぞれ露出するコンタクトホール35A、35B、35Cおよび35Dがドライエッチング工程により形成される。同時に、前記ワード線33Dを露出するコンタクトホール35Eも、前記絶縁層41、37および34を貫通して形成される。

【0020】次に、図3(I)の工程において、図3(H)の構造上にTiN膜42をスパッタリングにより一様に堆積し、さらに図3(J)の工程で前記TiN膜42上に薄いCu膜をスパッタにより堆積し、形成されたCu膜を電極に、図3(H)の構造上にCu層43を電解めっき法により形成する。前記TiN膜42は前記

コンタクトホール 3 5 A ~ 3 5 D および 3 5 E に対応する形状を有し、その結果電解めっき Cu 層 4 3 は前記コンタクトホール 3 5 A ~ 3 5 D および 3 5 E を埋めるように成長する。

【 0 0 2 1 】さらに、図 3 ( K ) の工程で前記 Cu 層 4 3 およびその下の Ti N 膜 4 2 は CMP 法により選択的に除去され、Cu よりなる導体プラグ 4 3 A ~ 4 3 E および Ti N パターン 4 2 E、4 2 G が露出された構造が得られる。CMP 法による研磨は、研磨速度の選択性の結果、前記 CVD 絶縁膜 4 1 が露出した時点で自動的に停止する。

【 0 0 2 2 】次に、図 4 ( L ) の工程において、前記導体プラグ 4 3 A ~ 4 3 E に対応して図 1 3 ( J ) の Ti N パターン 2 2 A ~ 2 2 D、2 2 F ~ 2 2 G に対応する Ti N パターン 4 2 A ~ 4 2 D、4 2 F ~ 4 2 G が形成され、さらに図 4 ( M ) の工程において図 4 ( L ) の構造上に層間絶縁膜 4 4 が CVD 法等により堆積される。ただし、図示の例ではパターン 4 2 A はキャパシタ C の上部電極 4 0 A と導体プラグ 4 3 A とを接続するローカル配線を形成する。また、図 4 ( L ) の Ti N パターン 4 2 G は図 3 ( K ) の Ti N パターン 4 2 G に連続して形成される。

【 0 0 2 3 】さらに図 4 ( N ) の工程で前記層間絶縁膜 4 4 中に前記 Ti N パターン 4 2 B ~ 4 2 G を露出するコンタクトホール 4 4 B ~ 4 4 D および 4 4 F ~ 4 4 G が形成され、さらに図 5 ( O ) の工程で前記層間絶縁膜 4 4 上に Ti N 膜 4 5 をスパッタリングにより形成した後、図 5 ( P ) の工程において前記 Ti N 膜 4 5 中に前記コンタクトホール 4 4 B ~ 4 4 D および 4 4 F ~ 4 4 G にそれぞれ対応して形成された凹部 4 5 B ~ 4 5 D および 4 5 F ~ 4 5 G を埋めるように、薄い Cu 膜をスパッタリングにより堆積後、Cu 層 4 6 が電解めっき法により形成される。

【 0 0 2 4 】次に、前記層間絶縁膜 4 4 上に残る Cu 層 4 6 およびその下の Ti N 膜 4 5 は図 5 ( Q ) の工程において CMP 法により選択的に研磨・除去され、前記コンタクトホール 4 3 B ~ 4 3 D および 4 3 F ~ 4 3 G において Cu プラグ 4 6 A ~ 4 6 D および 4 6 F ~ 4 6 G がそれぞれ形成される。さらに図 6 ( R ) の工程において、前記コンタクトホール 4 3 B ~ 4 3 D および 4 3 F ~ 4 3 G において前記 Cu プラグ 4 6 B ~ 4 6 D および 4 6 F ~ 4 6 G とコンタクトするように、Al 配線パターン 4 7 B ~ 4 7 D および 4 7 F ~ 4 7 G をそれぞれ形成する。さらに図 6 ( S ) の工程で、前記層間絶縁膜 4 4 上に前記 Al 配線パターン 4 7 B ~ 4 7 D および 4 7 F ~ 4 7 G を覆うようにさらに別の層間絶縁膜 4 8 を形成する。

【 0 0 2 5 】本実施例によれば、導体プラグ 4 3 A ~ 4 3 E は強誘電体膜 3 9 A の酸化雰囲気中での熱処理の後で形成されるため、熱処理による影響は受けない。ま

た、導体プラグ 4 3 A ~ 4 3 E、あるいは他の導体プラグ 4 6 B ~ 4 6 D、さらに導体プラグ 4 6 F ~ 4 6 G は電解めっきにより形成されるため、CVD 等の気相堆積法におけるような還元雰囲気は必要なく、このため前記酸化雰囲気中で熱処理した強誘電体膜 3 9 A の特性、例えば  $Q_{10}$  値が導体プラグの形成により劣化する等の問題は生じない。このため、本実施例によれば、多層配線構造を有する FeRAM を、FeRAM の特性を劣化させることなく形成することが可能になる。

10 【第 2 実施例】図 7 ( A ) ~ ( B ) および図 8 ( C ) ~ ( G ) は、本発明の第 2 実施例による FeRAM 3 0 の製造方法を示す。ただし、図中先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 2 6 】図 7 ( A ) は先の実施例の図 4 ( M ) に対応し、図 4 ( L ) の構造上に層間絶縁膜 4 4 を堆積した状態を示す。本実施例では、次に図 7 ( B ) の工程において前記層間絶縁膜 4 4 を CMP 法を使った研磨工程により平坦化し、図 8 ( C ) の工程において、平坦化された層間絶縁膜 4 4 中にコンタクトホール 4 4 B ~ 4 4 D および 4 4 F ~ 4 4 G を形成する。

【 0 0 2 7 】次に、図 8 ( D ) の工程において、前記層間絶縁膜 4 4 上に Ti N 膜 4 5 をスパッタリングにより形成した後、図 8 ( E ) の工程において前記 Ti N 膜 4 5 中に前記コンタクトホール 4 4 B ~ 4 4 D および 4 4 F ~ 4 4 G にそれぞれ対応して形成された凹部 4 5 B ~ 4 5 D および 4 5 F ~ 4 5 G を埋めるように、Cu プラグ 4 6 B ~ 4 6 D および 4 6 F ~ 4 6 G を、Cu 層のスパッタリングおよびめっき、さらに CMP 研磨工程により形成する。

30 【 0 0 2 8 】さらに、図 8 ( F ) の工程において図 8 ( E ) の構造上に Al 層 4 7 を堆積し、これを図 8 ( G ) の工程でパターニングして Al 配線パターン 4 7 B ~ 4 7 D および 4 7 F ~ 4 7 G をそれぞれ形成する。本実施例によれば、図 8 ( C ) のコンタクトホールを形成する工程において層間絶縁膜 4 4 が平坦化されているため、高解像度露光系を使った非常に微細化されたコンタクトホールを形成することができる。このため、より一層の多層化が容易になる。

【第 3 実施例】図 9 ( A ) ~ ( C ) は本発明の第 3 実施例による FeRAM の製造方法を示す。ただし、図中先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 2 9 】図 9 ( A ) は先の実施例の図 3 ( J ) の工程に対応し、Ti N 膜 4 2 で覆われた図 3 ( I ) の構造上に CVD 絶縁膜 4 3 が形成される。本実施例では、次の図 9 ( B ) の CMP 工程を、前記 Ti N 膜 4 2 の下の CVD 絶縁膜 4 1 を研磨ストップパに使う代わりに、前記 Ti N 膜 4 2 が残るような選択性を与える条件で実行し、その結果図 9 ( B ) の構造上には Ti N 膜 4 2 が研磨ストップパとして残留する。その後スパッタリングによ

り T i N 膜 4 2 を堆積後、これをバターンニングすることにより、図 4 ( L ) に対応する図 9 ( C ) の構造を得る。

【 0 0 3 0 】本実施例によれば、CMP 法により研磨される構造にキャパシタ C に対応する凸部が含まれている場合でも、前記 T i N 膜 4 2 が研磨ストップとなるため、研磨がキャパシタ C にまで到達するおそれがなく、F e R A M 製造の際の歩留まりおよび効率を向上させることができる。

【第 4 実施例】以上に説明した本発明の各実施例では、強誘電体キャパシタ C が形成された後の多層配線構造の形成において、導体プラグの形成を C u 等の金属の電解めっきにより形成しているため、例えば W プラグを形成する場合に使われる W F 、等のような強い還元性雰囲気が使われることがなく、形成された強誘電体キャパシタ C の特性が劣化することがない。このことはまた、かかる電解めっきを使った多層配線構造の形成が、先に図 1 1 ( A ) ~ 図 1 4 ( N ) で説明した従来の F e R A M 1 0 の製造方法においても有効であることを示している。

【 0 0 3 1 】本発明の第 4 実施例においては、まず図 1 1 ( A ) ~ 図 1 3 ( J ) に示す工程により、S i 基板 1 1 上にメモリセルトランジスタおよび強誘電体キャパシタ C を形成した後、図 4 ( M ) ~ 図 6 ( S ) の工程により多層配線構造を形成する。ただし、図 1 3 ( J ) の工程は図 4 ( L ) の状態に対応していることに注意すべきである。

【 0 0 3 2 】本実施例によれば、前記強誘電体キャパシタ C の酸化雰囲気中での高温熱処理に伴う W プラグの抵抗値の増大あるいはリーク電流の増大の問題こそあるものの、強誘電体キャパシタの特性を劣化させることなく多層配線構造を形成することが可能である。以上に説明した本発明の各実施例において、多層配線構造を形成する際の金属層のめっきは C u に限定されるものではなく、A u やその他の金属であってもよい。

【 0 0 3 3 】また、前記多層配線構造において、めっきで形成される配線構造は導体プラグに限定されるものではなく、いわゆるダマシン構造を有する導体パターンであってもよい。さらに、前記キャパシタ C を構成する誘電体材料は前記 P Z T あるいは S B T に限定されるものではなく、B a T i O<sub>3</sub>、L i N b O<sub>3</sub> 等の強誘電体材料、あるいは S T O ( S r T i O<sub>3</sub> ) や T a<sub>2</sub> O<sub>5</sub> 等の高誘電材料であってもよい。これらの強誘電体膜あるいは高誘電体膜は、いずれも結晶化の際に酸化雰囲気中での高温の熱処理を必要とし、かつ結晶化後に還元性雰囲気と反応すると、比較的容易に還元を受けてしまうものである。

【 0 0 3 4 】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、本発明の要旨内において様々な変形・変更が可能である。

【 0 0 3 5 】

【発明の効果】請求項 1 ~ 3 および 1 0 記載の本発明の第 1 の特徴によれば、前記コンタクトホールを酸化雰囲気中高温で行われる強誘電体膜の結晶化工程の後で形成することにより、前記コンタクトホールを埋める金属が強誘電体膜の結晶化工程で酸化されることがなく、コンタクト抵抗の増大やリーク電流の増大、あるいは酸化物形成に伴うコンタクトホールのクラックの問題が回避される。

【 0 0 3 6 】請求項 4 ~ 9 記載の本発明の第 2 の特徴によれば、前記コンタクトホールを埋める金属プラグ、あるいは層間絶縁膜中の開口部を埋める金属パターンを、従来の気相堆積工程ではなくめっき工程により形成することにより、形成された強誘電体膜が還元雰囲気にならされることがなく、強誘電体膜の特性の劣化が回避される。

【図面の簡単な説明】

【図 1】( A ) ~ ( D ) は、本発明の第 1 実施例による F e R A M の製造工程を示す図 ( その ( 1 ) ) である。

【図 2】( E ) ~ ( G ) は、本発明の第 1 実施例による F e R A M の製造工程を示す図 ( その ( 2 ) ) である。

【図 3】( H ) ~ ( K ) は、本発明の第 1 実施例による F e R A M の製造工程を示す図 ( その ( 3 ) ) である。

【図 4】( L ) ~ ( N ) は、本発明の第 1 実施例による F e R A M の製造工程を示す図 ( その ( 4 ) ) である。

【図 5】( O ) ~ ( Q ) は、本発明の第 1 実施例による F e R A M の製造工程を示す図 ( その ( 5 ) ) である。

【図 6】( R ) ~ ( S ) は、本発明の第 1 実施例による F e R A M の製造工程を示す図 ( その ( 6 ) ) である。

【図 7】( A ) ~ ( B ) は、本発明の第 2 実施例による F e R A M の製造工程を示す図 ( その ( 1 ) ) である。

【図 8】( C ) ~ ( G ) は、本発明の第 2 実施例による F e R A M の製造工程を示す図 ( その ( 2 ) ) である。

【図 9】( A ) ~ ( C ) は、本発明の第 3 実施例による F e R A M の製造工程を示す図である。

【図 1 0】強誘電体膜の特性を示す図である。

【図 1 1】( A ) ~ ( D ) は、従来の F e R A M の製造工程を示す図 ( その ( 1 ) ) である。

【図 1 2】( E ) ~ ( G ) は、従来の F e R A M の製造工程を示す図 ( その ( 2 ) ) である。

【図 1 3】( H ) ~ ( K ) は、従来の F e R A M の製造工程を示す図 ( その ( 3 ) ) である。

【図 1 4】( L ) ~ ( N ) は、従来の F e R A M の製造工程を示す図 ( その ( 4 ) ) である。

【図 1 5】従来の問題点を示す図である。

【符号の説明】

1 0 , 3 0 F e R A M

1 1 , 3 1 基板

1 1 A , 3 1 A P 型ウェル

1 1 B , 3 1 B N 型ウェル

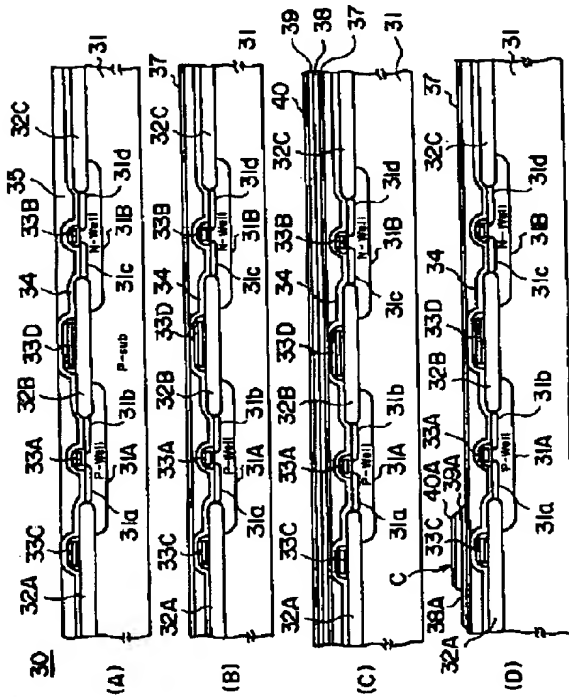


13

11a, 11b, 11c, 11d, 31a, 31b, 31c, 31d 拡散領域  
 12A~12C, 31A~31C フィールド酸化膜  
 13A, 13B, 33A, 33B ゲート電極  
 14, 17, 34 CVD絶縁膜  
 15, 23, 35, 44, 48 層間絶縁膜  
 15A~15E, 21A~21G, 23B~23D, 23F, 23G, 35A~35E, 44A~44D, 44F, 44G, 45B~45D, 45F, 45Gコンタクトホール  
 16A~16D Wプラグ  
 17, 37 絶縁膜  
 18, 20, 38, 40 Pt層

【図 1】

(A) ~ (D) は、本発明の第 1 実施例による FeRAM の製造工程を示す図 (その 1)

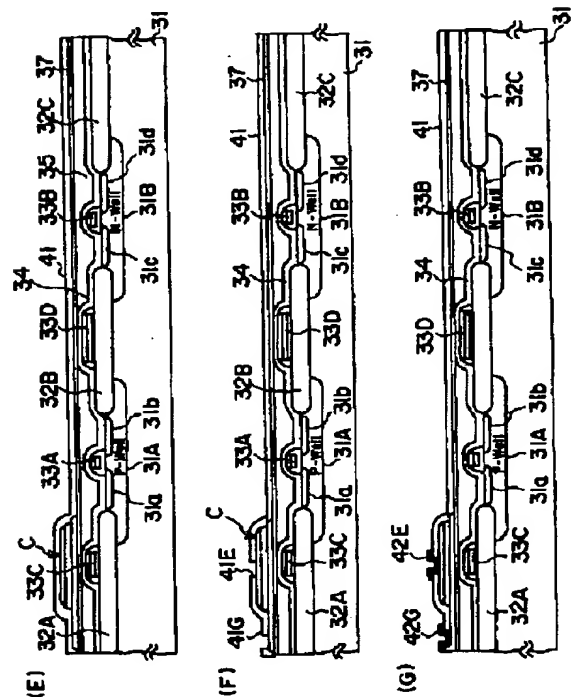


14

19, 39 PZT膜  
 18A, 38A 下部電極  
 19A, 39A 強誘電体膜  
 20A, 20A 上部電極  
 22A~22D, 22F, 22G, 42A~42D, 42F, 42G TiNパターン  
 24B~24D, 24F, 24G, 47B~47D, 47F, 47G Al配線パターン  
 42, 45 TiN膜  
 43, 46 Cu層  
 43A~43E, 46B~46D, 46F, 46G Cuプラグ

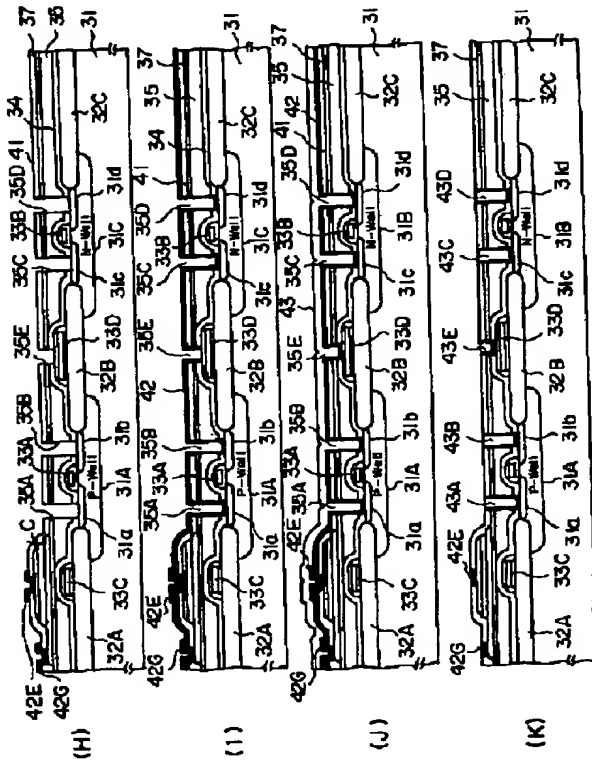
【図 2】

(E) ~ (G) は、本発明の第 1 実施例による FeRAM の製造工程を示す図 (その 2)



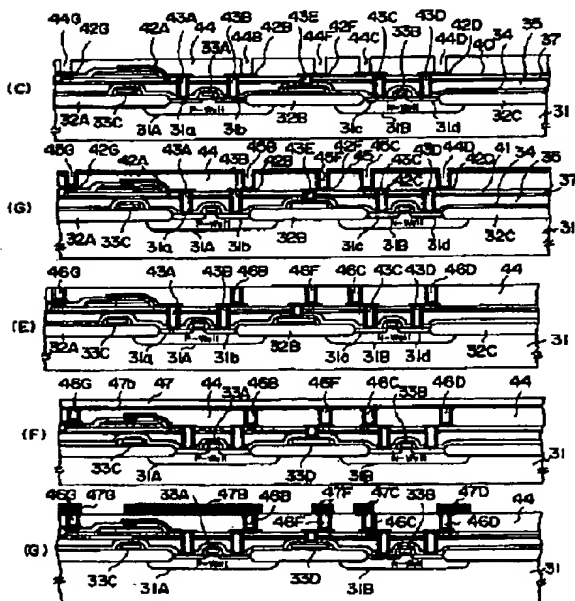
【図 3】

(H) ~ (K) は、本発明の第 1 実施例による  
F・RAM の製造工程を示す図 (その 3)



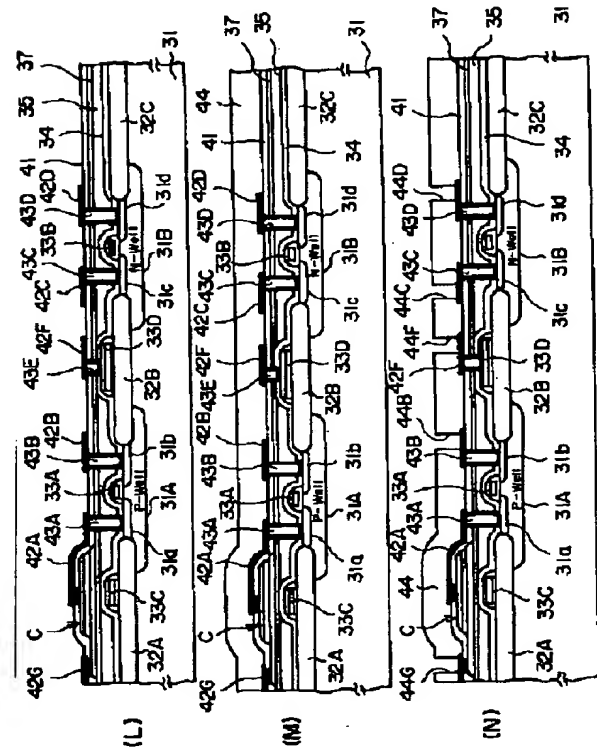
【図 8】

(C) ~ (G) は、本発明の第 2 実施例による  
F・RAM の製造工程を示す図 (その 2)



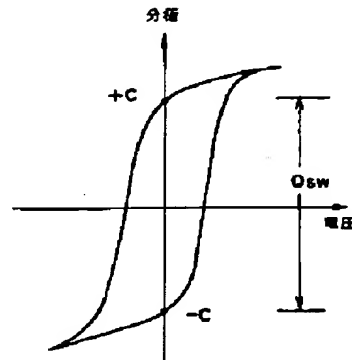
【図 4】

(L) ~ (N) は、本発明の第 1 実施例による  
F・RAM の製造工程を示す図 (その 4)



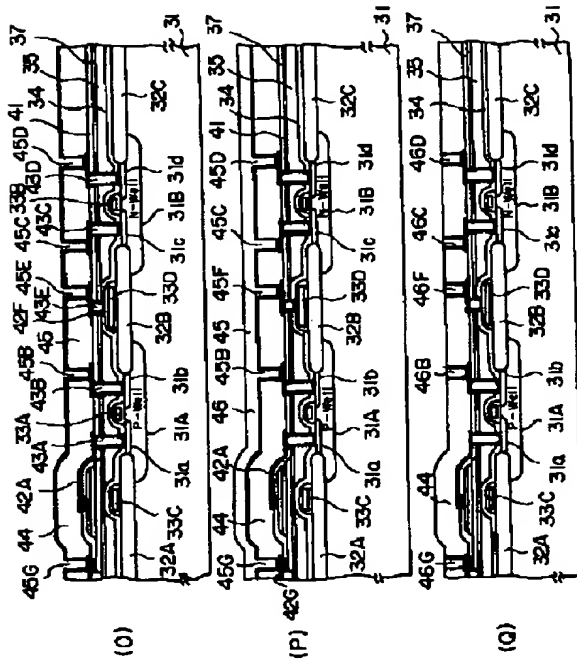
【図 10】

電誘電体膜の特性を示す図



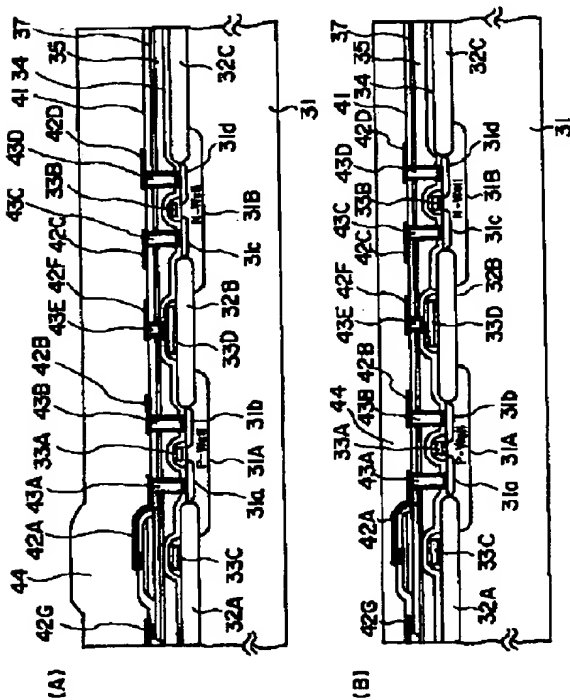
【図 5】

(O) ~ (Q)は、本発明の第1実施例による  
FeRAMの製造工程を示す図(その5)



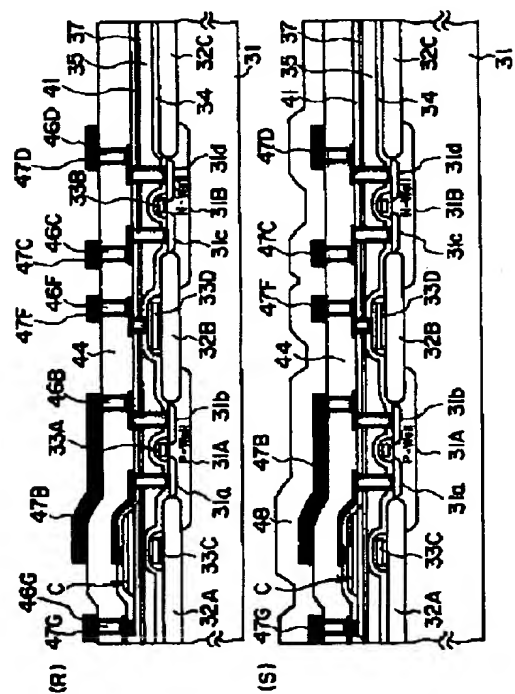
【圖 7】

(A) ~ (B)は、本発明の第2実施例による  
FeRAMの製造工程を示す図(その1)



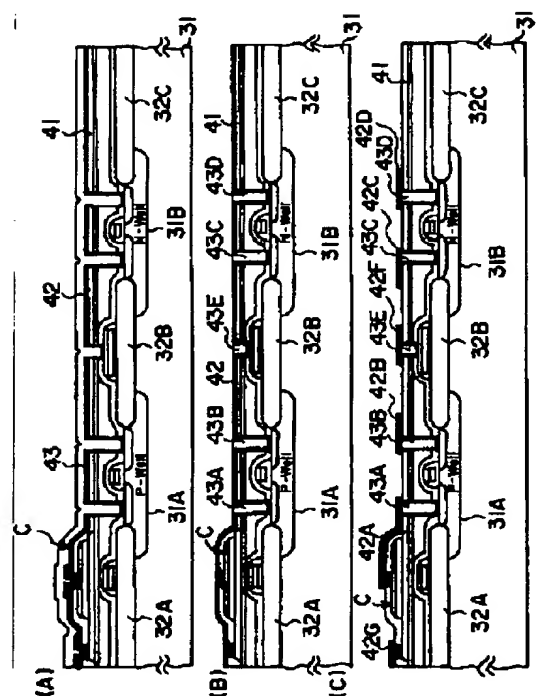
【図 6】

(R) ~ (S)は、本発明の第1実施例による  
FeRAMの製造工程を示す図(その6)



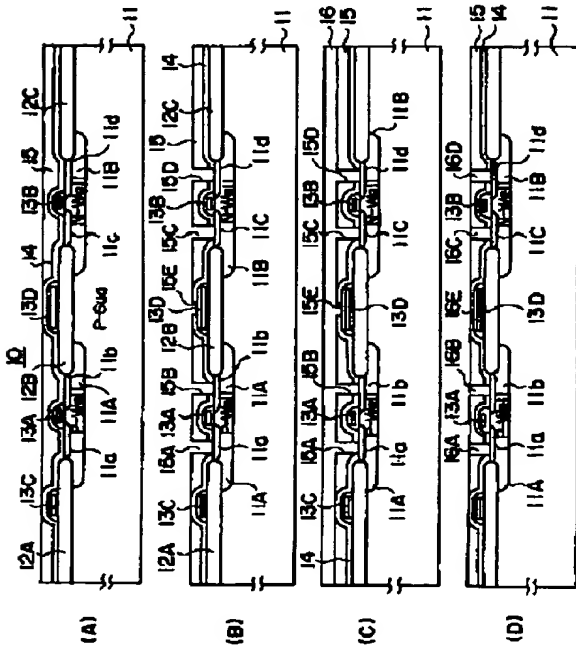
【図 9】

(A) ~ (C)は、本発明の第3実施例によるFeRAMの製造工程を示す図



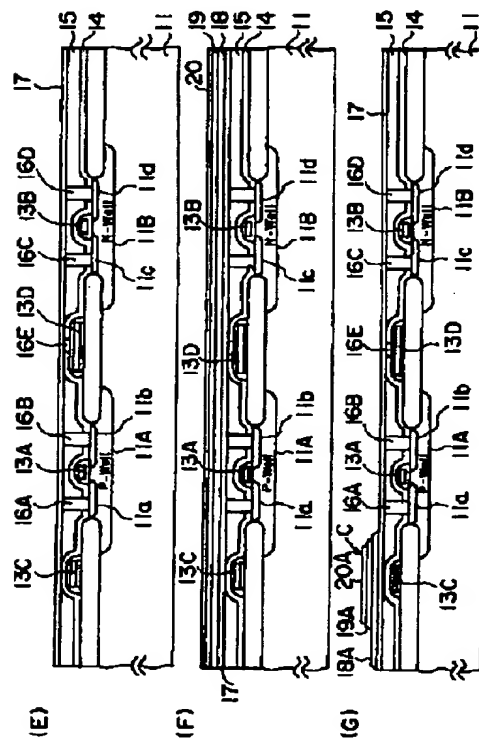
【図 11】

(A) ~ (D)は、従来のF・RAMの製造工程を示す図(その1)



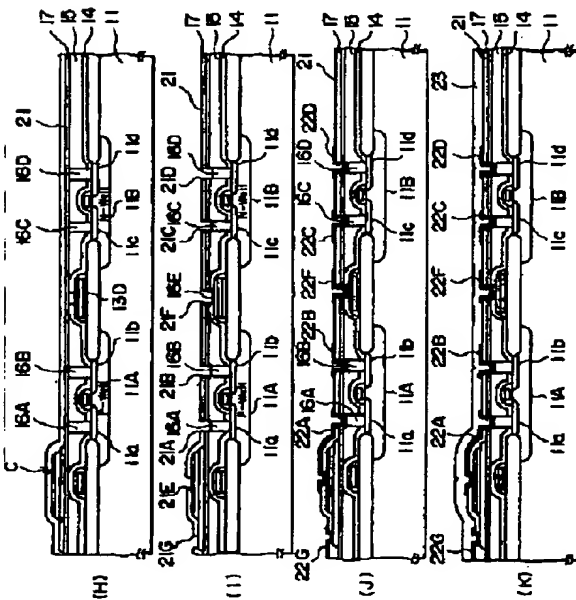
【図 12】

(E) ~ (G)は、従来のF・RAMの製造工程を示す図(その2)



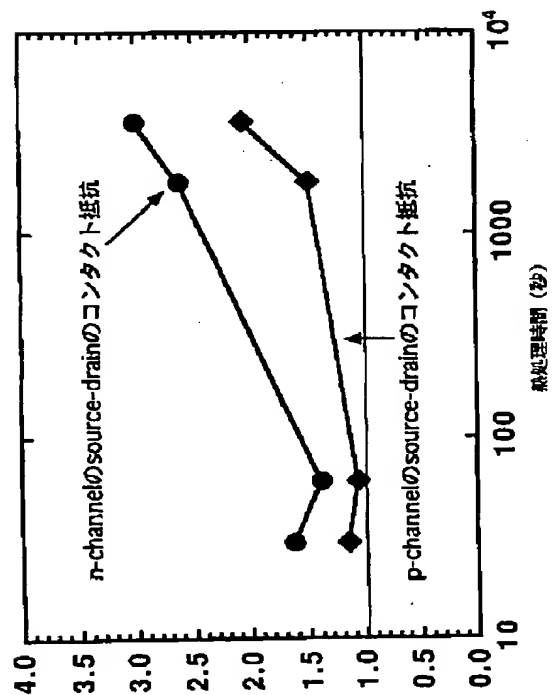
【図 13】

(H) ~ (K)は、従来のF・RAMの製造工程を示す図(その3)



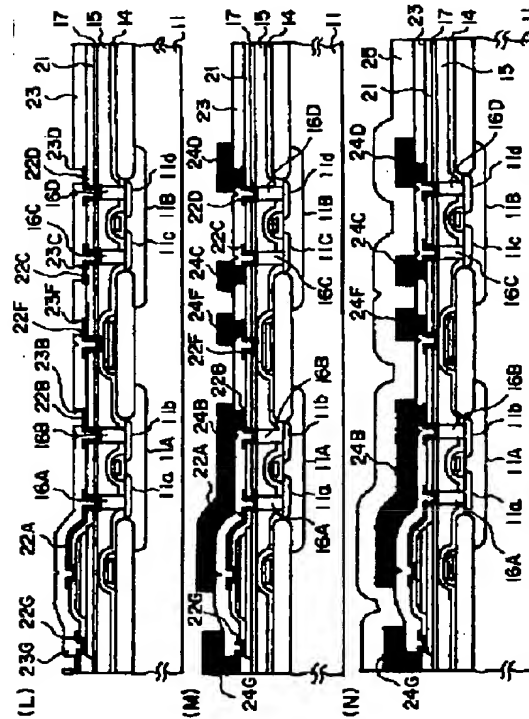
【図 15】

従来の問題点を示す図



【 図 1 4 】

(L) ~ (N) は、従来の F・RAM の製造工程  
を示す図 ( その 4 )



フロントページの続き

(51) Int. Cl. <sup>6</sup>

29/792

識別記号

庁内整理番号

F I

技術表示箇所